

## Synchronous semiconductor device for adjusting phase offset in a delay locked loop

Patent Number:  [US2002097074](#)

Publication date: 2002-07-25

Inventor(s): PARK YONG-JAE (KR); WEE JAE-KYUNG (KR); KIM SE-JUN (KR)

Applicant(s):

Requested Patent:  [JP2002314407](#)

Application Number: US20010033004 20011228

Priority Number(s): KR20000086612 20001230

IPC Classification: H03L7/06

EC Classification: [H03L7/081A1](#), [G11C7/10R](#), [G11C29/00B4](#)

Equivalents: KR2002059229,  [US6552587](#)

---

### Abstract

---

A synchronous semiconductor device having a delay locked loop capable of adjusting phase offset between an external clock signal and an internal clock signal after a packaging process is completed is disclosed. The disclosed synchronous semiconductor device may include a replica delay for replicating delay time of an internal circuit and a delay controller for controlling the replicated delay time

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-314407

(P2002-314407A)

(43)公開日 平成14年10月25日 (2002.10.25)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト(参考)

H 03 L 7/081

H 03 K 5/13

5 B 0 7 9

G 06 F 1/10

H 03 L 7/08

J 5 J 0 0 1

G 11 C 11/407

G 06 F 1/04

3 3 0 A 5 J 1 0 6

H 03 K 5/13

G 11 C 11/34

3 5 4 C 5 M 0 2 4

3 6 2 S

審査請求 未請求 請求項の数19 OL (全 12 頁)

(21)出願番号

特願2001-402077(P2001-402077)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(31)優先権主張番号 2 0 0 0 - 0 8 6 6 1 2

(72)発明者 金世ジュン

大韓民国 京畿道 利川市 夫鉢邑 牙美  
里山 136-1

(32)優先日 平成12年12月30日 (2000.12.30)

(72)発明者 魏在慶

大韓民国 京畿道 利川市 夫鉢邑 牙美  
里山 136-1

(33)優先権主張国 韓国 (KR)

(74)代理人 110000051

特許業務法人共生国際特許事務所

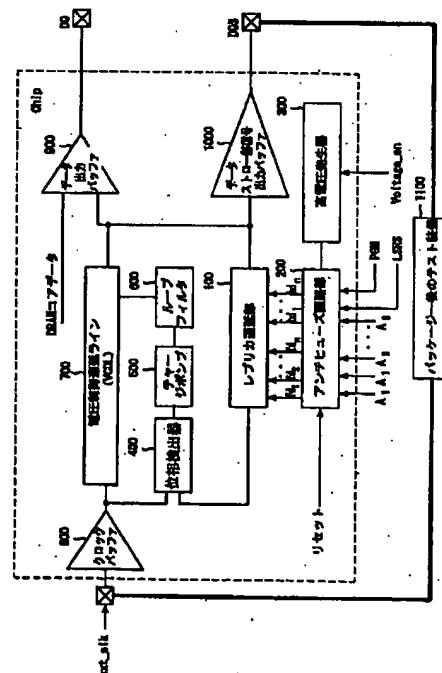
最終頁に続く

(54)【発明の名称】 D L L で発生する位相オフセットを調整することのできる半導体装置

(57)【要約】

【課題】 パッケージまでされた状態で、高電圧を印加しなくともレプリカ遅延部の遅延時間を調整することのできる遅延固定ループを備える半導体装置を提供することにその目的がある。

【解決手段】 遅延固定ループを備える同期型半導体装置において、実際内部回路の遅延時間をレプリカするためのレプリカ遅延部100と、前記レプリカされた遅延時間を制御するためのアンチヒューズ回路部200と、前記アンチヒューズ回路部に高電圧を印加するための高電圧発生器300とを含む。



【特許請求の範囲】

【請求項1】 遅延固定ループを備える同期型半導体装置において、

実際内部回路の遅延時間をレプリカするためのレプリカ遅延部と、

前記レプリカされた遅延時間を制御するためのアンチヒューズ回路部と、

前記アンチヒューズ回路部に高電圧を印加するための高電圧発生器とを含むことを特徴とするD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項2】 前記アンチヒューズ回路部は、前記レプリカされた遅延時間を増加させるために前記レプリカ遅延部に第1制御信号を出力する第1制御信号生成部と、前記レプリカされた遅延時間を減少させるために前記レプリカ遅延部に第2制御信号を出力する第2制御信号生成部とを備えることを特徴とする請求項1に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項3】 前記第1制御信号生成部は、アドレスピンを介して入力されるオフセット調整信号と、

オフセット調整モードのためのイネーブル信号と、

前記レプリカされた遅延時間の増加または減少を決定する選択信号の組み合わせによってアンチヒューズの短絡如何を決定する信号を出力するアンチヒューズ選択部と、

前記アンチヒューズ選択部の出力によって、前記アンチヒューズを絶縁、または短絡させるアンチヒューズ部と、

前記アンチヒューズ部の出力信号をラッチして、前記第1制御信号にレプリカ出力するラッチ部とを備えることを特徴とする請求項2に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項4】 前記アンチヒューズ選択部は、前記オフセット調整信号、前記イネーブル信号、前記選択信号が入力される第1N ANDゲートと、

反転された前記オフセット調整信号、前記イネーブル信号及び前記選択信号が入力される第2N ANDゲートと、

前記第1N ANDゲートの出力によって電源電圧を出力端にスイッチングする第1スイッチ手段と、

前記第2N ANDゲートの出力によって接地電源を前記出力端にスイッチングする第2スイッチ手段とを備えることを特徴とする請求項3に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項5】 前記アンチヒューズ部は、リセット信号によって電圧電源を前記アンチヒューズ選択部の出力端に連結する第3スイッチ手段と、

一側で前記高電圧発生器より出力される高電圧が印加され、他側では前記アンチヒューズ選択部の出力端に連結され、両端に所定の電圧差が発生すれば短絡されるアン

チヒューズとを備えることを特徴とする請求項3に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項6】 前記ラッチ部は、前記アンチヒューズ選択部の出力端電圧をラッチする第4、5インバータを備えることを特徴とする請求項3に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項7】 前記レプリカ遅延部は、外部の入力クロックが入力されるクロックバッファをレプリカするクロックバッファレプリカ部と、

前記クロックバッファレプリカ部の出力が入力されて、データ出力バッファをレプリカするデータ出力バッファレプリカ部と、

前記データ出力バッファレプリカ部の出力をバッファリングするための直列連結された複数のバッファリング手段と、

前記第1制御信号が入力されて、第1単位時間ほど前記レプリカ遅延部の出力を遅延させ、複数の前記バッファリング手段の出力に各々連結された複数の第1単位時間遅延部と、

前記第2制御信号が入力されて、第2単位時間ほど前記レプリカ遅延部の出力を先行させ、複数の前記バッファリング手段の出力に各々連結された複数の第2単位時間遅延部とを備えることを特徴とする請求項1又は2に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項8】 前記第1単位遅延部は、前記第1単位時間ほどを遅延させ得る第1キャパシタと、

前記第1制御信号によって前記第1キャパシタを前記複数のバッファリング手段の出力の中、いずれか一つと連結させる第1電送ゲートとを備えることを特徴とする請求項7に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項9】 前記第2単位遅延部は、前記第2単位時間ほどを遅延させ得る第2キャパシタと、

前記第2制御信号によって前記第2キャパシタを前記複数のバッファリング手段の出力の中、いずれか一つと連結させる第2電送ゲートとを備えることを特徴とする請求項7に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項10】 外部クロックが入力され、内部クロックを生成するためのクロックバッファと、

前記外部クロックとの同期化のため、前記内部クロックを遅延させるための遅延ラインと、

前記遅延ラインの出力が入力され、前記内部クロックを出力する出力バッファと、

前記遅延ラインの出力が入力され、前記外部クロックが内部クロックに出力されるまでの遅延時間をレプリカし、前記レプリカされた遅延時間を調整するためのレプリカ遅延部と、

前記レプリカ遅延部の出力と前記クロックバッファの出力位相とを比較するための位相検出器と、  
前記位相比較器の出力が入力され、前記遅延ラインの遅延時間を制御するための位相制御部と、  
前記レプリカされた遅延時間を調整するための制御信号を出力するためのアンチヒューズ回路部と、  
前記アンチヒューズ回路部に高電圧を印加するための高電圧発生器とを備えることを特徴とするD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項11】 前記位相制御部は、位相比較器の出力が入力され、出力端に電荷を供給する電荷ポンプと、電荷ポンプから入力される電荷によって前記遅延ラインの遅延時間を調整するループフィルタとを備えることを特徴とする請求項10に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項12】 前記アンチヒューズ回路部は、前記レプリカされた遅延時間を増加させるため、前記レプリカ遅延部に第1制御信号を出力する第1制御信号生成部と、

前記レプリカされた遅延時間を減少させるため、前記レプリカ遅延部に第2制御信号を出力する第2制御信号生成部とを備えることを特徴とする請求項10に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項13】 前記第1制御信号生成部は、アドレスピンを介して入力されるオフセット調整信号と、オフセット調整モードのためのイネーブル信号と、前記レプリカされた遅延時間の増加、または減少を決定する選択信号の組み合わせによってアンチヒューズの短絡如何を決定する信号を出力するアンチヒューズ選択部と、前記アンチヒューズ選択部の出力によって、前記アンチヒューズを絶縁、または短絡させるアンチヒューズ部と、

前記アンチヒューズ部の出力信号をラッチして前記第1制御信号としてレプリカ出力するラッチャ部とを備えることを特徴とする請求項12に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項14】 前記アンチヒューズ選択部は、前記オフセット調整信号、前記イネーブル信号、前記選択信号が入力される第1NANDゲートと、

反転された前記オフセット調整信号、前記イネーブル信号及び前記選択信号を入力される第2NANDゲートと、

前記第1NANDゲートの出力によって、電源電圧を出力端にスイッチングする第1スイッチ手段と、

前記第2NANDゲートの出力によって、接地電源を前記出力端にスイッチングする第2スイッチング手段とを備えることを特徴とする請求項13に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項15】 前記アンチヒューズ部は、リセット信号によって電圧電源を前記アンチヒューズ選択部の出力端に連結する第3スイッチ手段と、

一側で前記高電圧発生器より出力される高電圧が印加され、他側では前記アンチヒューズ選択部の出力端に連結され、両端に所定の電圧差が発生すれば短絡されるアンチヒューズとを備えることを特徴とする請求項13に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項16】 前記ラッチャ部は、前記アンチヒューズ選択部の出力端電圧をラッチャする第4、第5インバータを備えることを特徴とする請求項13に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項17】 前記レプリカ遅延部は、前記外部クロックが入力されるクロックバッファをレプリカするクロックバッファレプリカ部と、

前記クロックバッファレプリカ部の出力が入力されてデータ出力バッファをレプリカするデータ出力バッファレプリカ部と、

前記データ出力バッファレプリカ部の出力をバッファリングするための直列連結された複数のバッファリング手段と、

前記第1制御信号が入力されて、第1単位時間ほど前記レプリカ遅延部の出力を遅延させ、複数の前記バッファリング手段の出力に各々連結された複数の第1単位時間遅延部と、

前記第2制御信号が入力されて、第2単位時間ほど前記レプリカ遅延部の出力を先行させ、複数の前記バッファリング手段の出力に各々連結された複数の第2単位時間遅延部とを備えることを特徴とする請求項10又は12に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項18】 前記第1単位遅延部は、前記第1単位時間ほどを遅延させ得る第1キャパシタと、

前記第1制御信号によって前記第1キャパシタを前記複数のバッファリング手段の出力の中、いずれか一つと連結させる第1電送ゲートとを備えることを特徴とする請求項17に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【請求項19】 前記第2単位遅延部は、前記第2単位時間ほどを遅延させることができる第2キャパシタと、前記第2制御信号によって前記第2キャパシタを前記複数のバッファリング手段の出力の中、いずれか一つと連結させる第2電送ゲートとを備えることを特徴とする請求項18に記載のD L Lで発生する位相オフセットを調整することのできる半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、高速動作用同期型

半導体装置に関し、特に、パッケージした状態で、位相オフセットを調整し得る遅延固定ループを備える半導体装置に関する。

#### 【0002】

【従来の技術】外部クロックに同期されて動作する同期型半導体装置は、クロックバッファとクロックドライバを利用して内部クロックを発生するので、通常内部クロックは外部クロックに比べて一定時間遅延され、これによって半導体装置の動作性能が低下する。すなわち、半導体装置のデータのアクセス時間  $t_{AC}$  は、チップ内部のクロックバッファなどによる所定の遅延時間ほど増加される問題点がある。したがって、チップ内部に外部クロックに同期させる内部クロック発生回路を備えることになるが、この場合、用いる回路が遅延固定ループ (Delay Locked Loop; DLL) である。

【0003】図1は、通常の遅延固定ループのブロック構成図である。図1を参照しながら説明すると、遅延固定ループは、外部クロックが入力されるクロックバッファ10と、クロックバッファ10の出力を所定の時間の間遅延させる電圧制御遅延ライン (Voltage controlled delay line) 20と、電圧制御遅延ライン20の出力によって、DRAMコアより出力されるデータを外部に出力するデータ出力バッファ80と、電圧制御遅延ライン20の出力が入力されてデータストローブ信号に出力するデータストローブ信号出力バッファ70と、クロックバッファ10とデータ出力バッファ80の遅延時間をモニターするレプリカ遅延 (replica delay) 部40と、レプリカ遅延部40の出力とクロックバッファ10の出力を入力し、位相を比較する位相検出器30と、位相検出器30の出力によって電圧制御遅延ライン20の遅延程度を調節するチャージポンプ50及びループフィルタ60により構成されている。ここで、データ出力バッファ80とストローブ信号出力バッファ70の遅延は、同様に構成される。

【0004】以下、図1を参照しながら上述した遅延固定ループの動作を説明する。まず、外部のクロック  $ext_{clk}$  は、クロックバッファ10でバッファリングされ、電圧制御遅延ライン20とレプリカ遅延部40を経て、位相検出器30に入力される。位相検出器30では、クロックバッファ10の出力とレプリカ遅延部40を経た出力を比較し、ここで比較した結果値に応じてチャージポンプ50とループフィルタ60で電圧制御遅延ライン20の遅延値を調整する。前記の過程を繰り返して位相検出器30の二つの入力値が位相ロッキング (locking) されるようにし、位相ロッキングされた後、電圧制御遅延ライン20より出力されるクロック値を外部クロックと同期された内部クロックとして用いる。以後、データ出力バッファ80で同期された内部クロックによってデータを出力する。

【0005】ところが、内部クロックが同期される過程を説明すれば、外部クロック信号  $ext_{clk}$  と位相とが一致する内部クロック信号を発生させるため、クロックバッファ10とデータ出力バッファ80によって発生する遅延時間ほど位相が先立つクロックを発生させ、その後に後端に接続されたデータ出力バッファ80を経りながら、外部クロック信号  $ext_{clk}$  に同期された内部クロック信号を発生させることになる。このために、レプリカ遅延部40は、クロックバッファ10での遅延時間  $T_a$  とデータ出力バッファ80での遅延時間  $T_d$  と同じ遅延を有するように構成される。しかし、レプリカ遅延部40が有する遅延時間 ( $t_{AC} = T_a + T_d$ ) をクロックバッファ10での遅延時間  $T_a$  とデータ出力バッファ80での遅延時間  $T_d$  とに正確に一致されるようにすることがPVT (Pressure, Voltage, Temperature) 等の工程環境とパッケージ等の問題のため、実際にはほとんど不可能であるので、位相ロック以後にも内部クロックは外部クロックに正確に同期されずに一定のオフセットを有することになる。

【0006】図2は、図1の遅延固定ループで発生するオフセットを示すクロック図である。図2を参照しながら説明すると、位相ロック以後にも外部クロックと一定のオフセットを有しながら内部クロックが出力されることが分かるが、これを通常にクロックスキュー (Skeew) といい、さらに詳細には、「A」部分に示している。上述したように、クロックスキューは、クロックバッファ10及びデータ出力バッファ80と、レプリカ遅延部40とがレプリカしたクロックバッファ及びデータ出力バッファとのミスマッチによって主に生じるし、パッケージや他の工程上の環境によっても生じ得る。したがって、メモリ装置が製造された後、遅延固定ループより出力される内部クロックが外部クロックに正確に同期されるように調整する過程が必要となり、通常ウェーハ上でレプリカ遅延部の遅延時間を調整する方法とパッケージの後にレプリカ遅延部の遅延時間を調整する方法がある。

【0007】図3は、ウェーハ上で遅延固定ループに備えられるレプリカ遅延部40の遅延時間を調整する方法を示す図面である。図3を参照しながら説明すると、ウェーハレベル上でレプリカ遅延部40の遅延時間を調整する場合には、ヒューズ部41をレプリカ遅延部40に備えて、遅延固定ループが位相ロッキングされた後の外部クロックに同期された内部クロックの位相オフセットを測定し、測定された位相オフセット値ほどのヒューズをレーザによりブローウィング (Blowing) する。この場合には、ヒューズ41のブローウィング如何を調節するための高価のレーザー装備が要求され、またウェーハレベルでの位相オフセットを最小化させて外部クロック信号と内部クロックとの間の位相同期を実現

するとしても、パッケージ後にさらに動作特性が変わり得る問題点を有している。

【0008】図4は、パッケージが終わった状態で遅延固定ループに備えられたレプリカ遅延部40の遅延時間を調整する方法を示す図面である。図4を参照しながら説明すれば、パッケージした状態でレプリカ遅延部40の遅延時間を調整する場合には、レプリカ遅延部40にアンチヒューズ42を備えるし、測定された差値ほどのアンチヒューズ42を短絡させる。この場合には、外部より特定の入力ピンに高電圧を印加してアンチヒューズ42の絶縁体を破壊して短絡することになる。この場合には、ウェーハ状態での遅延時間の調整で要求された高価のレーザー装備は不要となり、パッケージした状態で調整するため、実際動作との誤差を最大限減らすことができる。

【0009】しかし、高電圧印加のための別の専用ピンが使用されながら、限定されたピンの中、実際に動作するのに不要であり、また遅延時間調整のために専用ピンが用いられることは適合でなく、パッケージまでされた状態で外部より高電圧を印加することは、他の素子などの信頼性に大きい影響を及ぼし得る。

#### 【0010】

【発明が解決しようとする課題】そこで、本発明は、上記の従来の問題点を解決するためになされたものであって、本発明の目的は、パッケージまでされた状態で、高電圧を印加しなくともレプリカ遅延部の遅延時間を調整することのできる遅延固定ループを備える半導体装置を提供することにある。

#### 【0011】

【課題を解決するための手段】上記目的を達成するためになされた本発明によるD L Lで発生する位相オフセットを調整することのできる半導体装置は、遅延固定ループを備える同期型半導体装置において、実際内部回路の遅延時間をレプリカするためのレプリカ遅延部と、前記レプリカされた遅延時間を制御するためのアンチヒューズ回路部と、前記アンチヒューズ回路部に高電圧を印加するための高電圧発生器とを含むことを特徴とする。

【0012】また、上記目的を達成するためになされた本発明によるD L Lで発生する位相オフセットを調整することのできる半導体装置は、外部クロックが入力され、内部クロックを生成するためのクロックバッファと、前記外部クロックとの同期化のため、前記内部クロックを遅延させるための遅延ラインと、前記遅延ラインの出力が入力され、前記内部クロックを出力する出力バッファと、前記遅延ラインの出力が入力され、前記外部クロックが内部クロックに出力されるまでの遅延時間をレプリカし、前記レプリカされた遅延時間を調整するためのレプリカ遅延部と、前記レプリカ遅延部の出力と前記クロックバッファの出力位相とを比較するための位相検出器と、前記位相比較器の出力が入力され、前記遅延

ラインの遅延時間を制御するための位相制御部と、前記レプリカされた遅延時間を調整するための制御信号を出力するためのアンチヒューズ回路部と、前記アンチヒューズ回路部に高電圧を印加するための高電圧発生器とを備えることを特徴とする。

#### 【0013】

【発明の実施の形態】次に、本発明にかかるD L Lで発生する位相オフセットを調整することのできる半導体装置の実施の形態の具体例を図面を参照しながら説明する。図5は、本発明の好ましい一実施例による遅延固定ループのブロック構成図である。図5を参照しながら説明すると、遅延固定ループは、外部クロックが入力されるクロックバッファ800と、クロックバッファ800の出力を所定の時間の間遅延させる電圧制御遅延ラインVCDL700と、外部クロックに同期された内部クロックによってDRAMコアより出力されるデータを外部に出力させるデータ出力バッファ900と、電圧制御遅延ライン700の出力を入力されてデータストローブ信号に出力するデータストローブ信号出力バッファ1000と、クロックバッファ800及びデータ出力バッファ900の遅延時間をレプリカし、制御信号f d

1、...、f d n、b d 1、...、b d nによって遅延時間が調整可能なレプリカ遅延部(replica delay)100と、レプリカ遅延部100の出力とクロックバッファ800の出力を入力されて位相を比較する位相検出器400と、位相検出器400の出力によって電圧制御遅延ライン700の遅延程度を調節するチャージポンプ500及びループフィルタ600と、レプリカ遅延部100が有するオフセットを調整するために外部より複数のアドレス信号A1、A2、...、Anを入力されて複数の制御信号f d 1、...、f d n、b d 1、...、b d nを出力するアンチヒューズ回路部200と、アンチヒューズ回路部200に高電圧を印加する高電圧発生器300とから構成されている。また、図4にはパッケージ後のレプリカ遅延部100のオフセットを測定するためのテスト装備1100が共に示されている。

【0014】図6は、図5のアンチヒューズ回路部200において、アドレスA1に入力される信号によって制御信号f d 1、b d 1を発生させる回路を示す図面である。図6を参照しながら説明すると、制御信号f d 1、b d 1を発生させる回路は、レプリカ遅延部100の遅延時間を増加させるための第1制御信号f d 1を出力する第1制御信号生成部210と、レプリカ遅延部100の遅延時間を減少させるための第2制御信号b d 1を出力する第2制御信号生成部220とから構成される。第1制御信号生成部210は、外部よりアドレスA1に入力される信号を入力されてアンチヒューズ使用如何を決定する選択信号を出力する第1アンチヒューズ選択部211と、第1アンチヒューズ選択部211の出力によっ

てアンチヒューズを絶縁、または短絡させる第1アンチヒューズ部212と、第1アンチヒューズ部212の信号をラッチしてレプリカ遅延部100の制御信号f d 1に出力する第1出力部213とからなる。

【0015】第1アンチヒューズ選択部211は、チップ外部によりアドレスA1に入力される信号とオフセット調整イネーブル信号PGMとレプリカ遅延部100のオフセットが増加、または減少されるか否かを選択する選択制御信号LSRSが入力される3入力第1NANDゲートNAND1と、アドレス信号A1に入力された信号を反転した信号とオフセット調整イネーブル信号PGMと選択制御信号LSRSが入力される第2NANDゲートNAND2と、ゲートにより第1NANDゲートNAND1の出力が入力されながら電圧電源とノードN1とを連結する第1PチャネルMOSトランジスタMP1と、ゲートに反転された第2NANDゲートNAND2の出力を入力されながら接地電源とノードN1とを連結する第1NチャネルMOSトランジスタMN1とから構成される。第1アンチヒューズ部212は、ゲートでリセット信号を入力され、電源電圧とノードN1を連結する第2PチャネルMOSトランジスタMP2と、ゲートが接地電源と連結され、ノードN1と第1ヒューズfuse1とを連結する第3PチャネルMOSトランジスタMP3と、一側で高電圧を印加され、他側では第3PチャネルMOSトランジタMP3と連結される第1ヒューズfuse1とから構成される。第1出力部213は、ノードN1の電圧をラッチする第1、2インバータI1、I2と、第1インバータI1の出力を反転して出力する第3インバータI3とから構成される。

【0016】また、第2制御信号生成部220は、外部によりアドレスA1に入力された信号を入力されて、アンチヒューズ使用如何を決定する選択信号を出力する第2アンチヒューズ選択部221と、第2アンチヒューズ選択部221の出力によってアンチヒューズを絶縁、または短絡させる第2アンチヒューズ部222と、第2アンチヒューズ部222の信号をラッチしてレプリカ遅延部100の制御信号bd1に出力する第2出力部223とからなる。第2アンチヒューズ選択部221は、チップ外部によりアドレスA1に入力される信号とオフセット調整イネーブル信号PGMと反転された選択制御信号LSRSを入力される第3NANDゲートNAND3と、アドレスA1に入力された信号を反転した信号とオフセット調整イネーブル信号PGMと反転された選択信号LSRSを入力される第4NANDゲートNAND4と、ゲートで第3NANDゲートNand3の出力を入力されながら電圧電源とノードN2とを連結する第4PチャネルMOSトランジスタMP4と、ゲートに反転された第4NANDゲートNand4の出力を入力されながら接地電源とノードN2とを連結する第2NチャネルMOSトランジスタMN2とから構成される。

【0017】第2アンチヒューズ部222は、ゲートでリセット信号を入力されながら電圧電源とノードN2とを連結する第5PチャネルMOSトランジスタMP5と、ゲートが接地電源と連結されノードN1と第2ヒューズfuse2を連結する第5PチャネルMOSトランジスタMP5と、一側で高電圧を印加され、他側では第5PチャネルMOSトランジットMP5と連結される第2ヒューズfuse2とから構成される。第2出力部223は、ノードN2の電圧をラッチする第4、5インバータI4、I5と、第4インバータI4の出力を反転して出力する第6インバータI6とから構成される。

【0018】図7は、図5のレプリカ遅延部100を示す回路図である。図7を参照しながら説明すると、レプリカ遅延部100は、クロックバッファ800(図5)をレプリカするためのクロックバッファレプリカ部101と、データ出力バッファ900(図5)をレプリカするための出力バッファレプリカ部102と、出力バッファレプリカ部102の出力を入力されながら直列に連結される複数個のインバータIN1、IN2、IN3、...と、複数の第1制御信号fd1、fd2、...によってレプリカ遅延100の遅延を増加させる複数個の第1単位遅延部111、112、...と、複数の第2制御信号bd1、bd2、...によってレプリカ遅延100の遅延を減少させる複数個の第2単位遅延部121、122、...とから構成される。第1単位遅延部111は、第1単位遅延時間の大きさによって決められる第1単位遅延キャパシタCdと、第1制御信号fd1によってキャパシタCdとノードNod1とを連結させるトランスマッショングートTG1とからなる。第2単位遅延部121は、第2単位遅延時間の大きさによって決められる第2単位遅延キャパシタCd'と、第2制御信号bd1によって第2単位遅延キャパシタCdとノードNod1とを連結させるトランスマッショングートTG3とから構成される。

【0019】以下、図5乃至図7を参照しながら、パッケージ後に遅延固定ループに備えられたレプリカ遅延部100の遅延時間を調整する動作について、詳細に説明する。まず、パッケージまで終了した状態で複数のアドレス入力部A1、A2、...、Anがアンチヒューズ回路部200と連結されるように、オフセット調整イネーブル信号PGMをイネーブルさせ、アンチヒューズ回路部200にリセット信号を印加する。一方、複数のアドレス入力部A1、A2、...、Anは、メモリ素子でアドレス入力のために備えられた複数のアドレス入力ピンをレプリカ遅延部100の遅延時間の調整の際に一時的に用いるものである。

【0020】次いで、遅延固定ループを動作させて位相ロックング状態となるようにした後、外部クロックと内部クロックと位相オフセットを測定する。測定された位相オフセットに応じて複数のアドレスピンを介して、特

定のデジタル信号値を印加させる。アンチヒューズ回路部200で入力された特定のデジタル信号値に応じて第1、第2制御信号 $f_{d1}$ 、 $f_{dn}$ 、 $b_{d1}$ 、 $b_{dn}$ を生成してレプリカ遅延部200に出力し、レプリカ遅延部100では入力された第1、2制御信号 $f_{d1}$ 、 $f_{dn}$ 、 $b_{d1}$ 、 $b_{dn}$ に応じて、一定の遅延時間が加減された信号を位相検出器に出力する。一例として、第1、2制御信号 $b_{d1}$ 、 $f_{d1}$ が発生する過程を説明する。オフセット調整イネーブル信号PGMと反転された選択制御信号LSRSとが‘ハイ’に入力された状態でアドレスA1が‘ハイ’に入力されれば、第1NANDゲートNAND1の出力は‘ロー’に、第2NANDゲートNAND2の出力は‘ハイ’になって、第1PチャネルMOSトランジスタMP1がターンオンされてノードN1が‘ハイ’になり、以後第1出力部213により‘ハイ’にされた第1制御信号 $f_{d1}$ がレプリカ遅延部に出力される。次いで、‘ハイ’になった第1制御信号 $f_{d1}$ により第1単位遅延部111のトランスマッショングートTG1がターンオンされ、これによって第1単位遅延キャパシタCdがノードNod1と連結され、第1単位遅延時間ほどレプリカ遅延部の遅延時間が増加される。

【0021】一方、この場合に選択制御信号LSRSをローに変化させれば、第3NANDゲートNAND3がローに出力されて第4PチャネルMOSトランジスタMP4がターンオンされて、ノードN2が‘ハイ’になり、第2出力部223により第2制御信号 $b_{d1}$ が‘ハイ’になってレプリカ遅延部100に入力される。‘ハイ’に入力される第2制御信号 $b_{d1}$ により第2単位遅延部121のキャパシタCd'がノードNod1との連結を切って、レプリカ遅延部100の遅延時間を減少させることになる。次いで、外部クロックと内部クロックの位相オフセットをさらに測定し、測定された位相オフセットに応じてデジタル信号値をアドレスA1、A2、 $\dots$ 、Anピンにまた入力させる。前記の過程を繰り返して外部クロックと内部クロックの位相オフセットが最小化される特定デジタル信号値を検出する。

【0022】以後検出した特定デジタル信号値がアドレスA1、A2、 $\dots$ 、Anピンに印加された状態で、遅延固定ループに備えられた高電圧発生器300のイネーブル信号voltage\_enをイネーブルさせれば、アンチヒューズ回路部200に高電圧が印加され、複数の制御信号 $f_{d1}$ 、 $f_{dn}$ 、 $b_{d1}$ 、 $\dots$ 、 $b_{dn}$ 生成部210、220、 $\dots$ の中からデジタル信号値が印加された制御信号生成部210、220、 $\dots$ のアンチヒューズが短絡される。以後、高電圧発生器300のイネーブル信号voltage\_enがオフされれば、アンチヒューズは接地に連結される。

【0023】本実施例で、第1単位遅延部111、11

2、 $\dots$ は、レプリカ遅延部の遅延時間を増加させ、第2単位遅延部121、122、 $\dots$ は、レプリカ遅延部の遅延時間を減少させる役割をするものと構成されたが、第1、2単位遅延部全てを単位遅延部を増加させるように構成することもでき、第1、2単位遅延部のキャパシタCd、Cd'の大きさは、メモリ素子の特性などに応じて選択する。以下では、アンチヒューズ回路部200のアンチヒューズfuse1、fuse2が短絡されることについて説明する。入力信号A1、LSRS、PGMによりノードN1に電源電圧、例えば3.3Vが誘導され、この場合、第3PチャネルMOSトランジスタMP3は、既にターンオンされているので、高電圧、例えば-5Vを第1ヒューズfuse1の一側に入力すれば、第1ヒューズの両端に約8Vの電圧差が発生して、第1ヒューズfuse1の絶縁体が破壊されてヒューズ両端が短絡される。

【0024】一方、第1ヒューズfuse1の片方ノードに電源電圧が誘導されなければ、第1ヒューズfuse1の一側に高電圧を印加しても第1ヒューズfuse1の両端にかかる電圧は、-5V程度であって、第1ヒューズの誘電体は破壊されない。結局、アドレスA1、A2、 $\dots$ 、Anの入力信号により、ヒューズの片方ノードに電源電圧が誘導されるヒューズは破壊され、接地電源が誘導されるヒューズは破壊されない。従って、上記の動作によって遅延固定ループが遅延時間を調節して外部クロックと正確に同期されることによって、位相オフセットがほとんど除去された状態の内部クロックを得ることができる。したがって、別の外部専用ピンなしに通常のアドレスピンを使用し、高価のレーザー装置なしでもレプリカ遅延部の遅延時間の調整が可能になって、さらに効率的に遅延固定ループの位相オフセットを最小化し得る。また、本発明はパッケージ化された状態のみでなく、モジュール(module)マウンティング(mounting)された状態でも遅延固定ループに備えられたレプリカ遅延部の遅延時間を調整することができる。また、本発明は、レジスタ遅延固定ループに用いられるレプリカ遅延部のレプリカされた遅延時間値を調整することにも使用可能である。

【0025】尚、本発明は、本実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【0026】

【発明の効果】上述したように、本発明によれば、遅延固定ループに備えられたレプリカ遅延部の遅延時間をパッケージ後に安定的かつ効率的に調整することによって、同期型半導体素子の性能を向上させることができると。

【図面の簡単な説明】

【図1】従来の技術にかかる遅延固定ループのブロック構成図である。

【図2】図1の遅延固定ループで発生するオフセットを示す信号波形図である。

【図3】遅延固定ループのレプリカ遅延部の遅延時間の調整方法を示すブロック構成図である。

【図4】遅延固定ループのレプリカ遅延部の遅延時間の調整方法を示すブロック構成図である。

【図5】本発明の好ましい一実施例にかかる遅延固定ループのブロック構成図である。

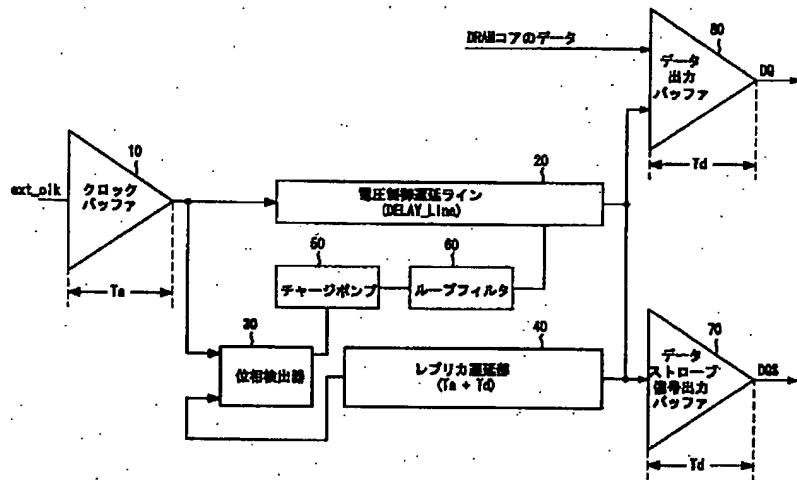
【図6】図5の遅延固定ループのアンチヒューズ回路部を示す回路図である。

【図7】図5のレプリカ遅延部を示す回路図である。

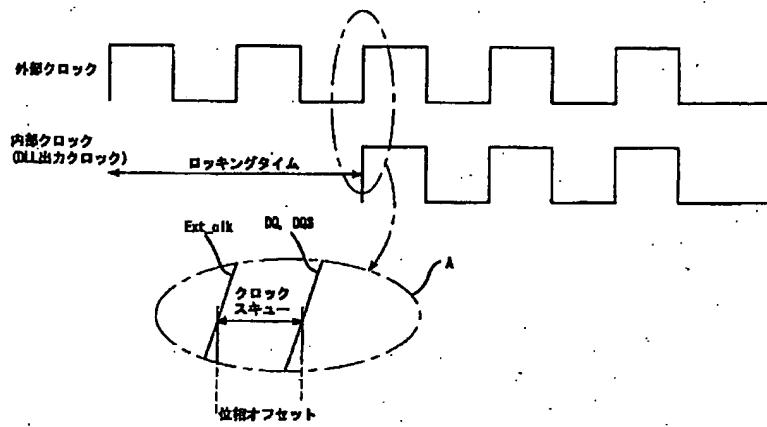
【符号の説明】

100	レプリカ遅延部	210	第1制御信号生成部
101	クロックバッファレプリカ部	211	第1アンチヒューズ選択部
102	出力バッファレプリカ部	212	第1アンチヒューズ部
111、112……	第1単位遅延部	213	第1出力部
121、122……	第2単位遅延部	220	第2制御信号生成部
200	アンチヒューズ回路部	221	第2アンチヒューズ選択部
		222	第2アンチヒューズ部
		223	第2出力部
		300	高電圧発生器
		400	位相検出器
		500	チャージポンプ
		600	ループフィルタ
		700	電圧制御遅延ライン
		800	クロックバッファ
		900	データ出力バッファ
		1000	データストローブ信号出力バッファ
		1100	テスト装備

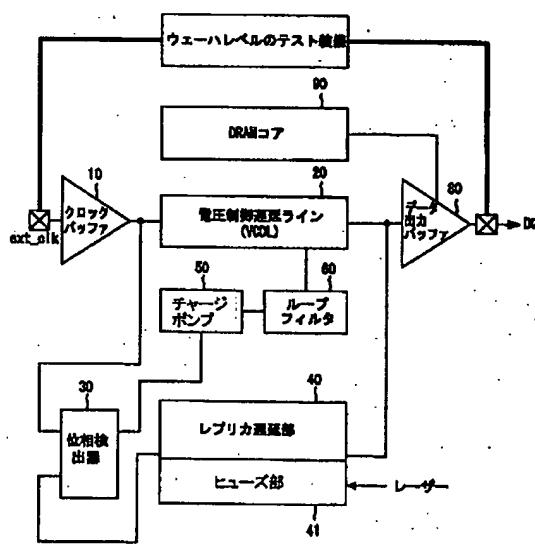
【図1】



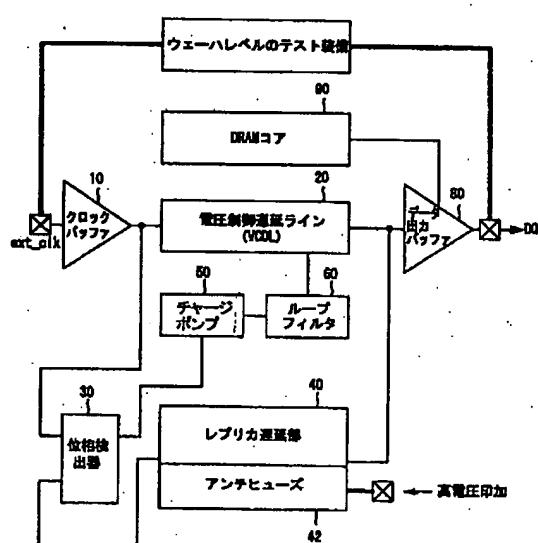
【図2】



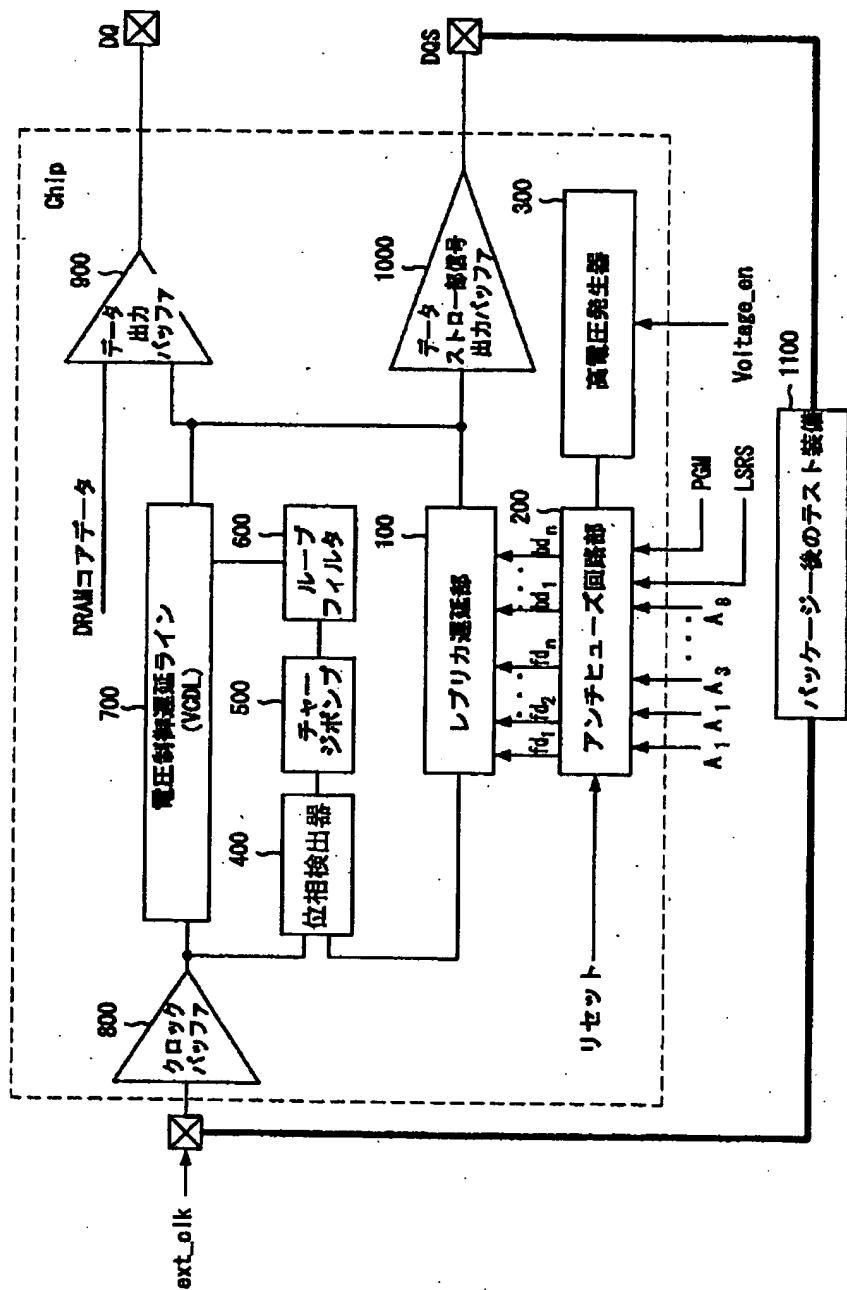
【図3】



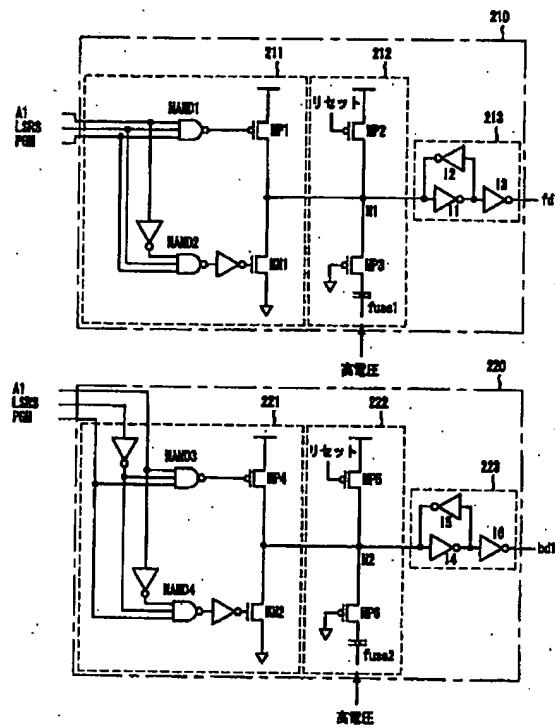
【図4】



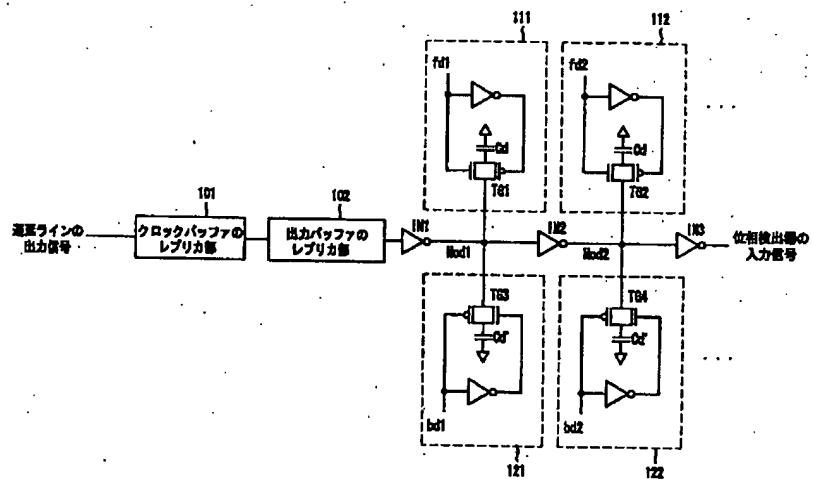
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 朴 庸 在  
大韓民国 京畿道 利川市 夫鉢邑 牙美  
里 山 136-1

(12) 02-314407 (P2002-31JL8

F ターム(参考) 5B079 CC02 CC14 DD06 DD13 DD17  
5J001 AA05 BB00 BB14 CC03 DD00  
5J106 AA04 CC21 CC41 CC58 DD24  
DD32 GG20 HH02 KK01  
5M024 AA40 AA90 BB27 BB40 DD83  
GG01 HH10 JJ02 JJ32 JJ34  
JJ38 PP01 PP02 PP03 PP07